

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 57107658 A

(43) Date of publication of application: 05 . 07 . 82

(51) Int. Cl. H04L 13/00  
H04L 11/00  
// G06F 3/04

(21) Application number: 55182743

(22) Date of filing: 25 . 12 . 80

(71) Applicant: FUJITSU LTD

(72) Inventor: KORETOMO HARUKI

## (54) CONTROL SYSTEM FOR PLURALITY OF LINES

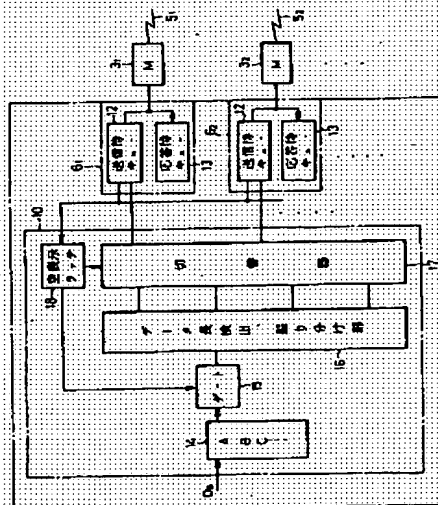
## (57) Abstract:

**PURPOSE:** To optimize a transmission scheduling, by taking into consideration data length of transmission data, transmission speed and transmission delay time of each communication line and selecting the line in use so that the utilization factor and transmission time of each communication line can be constant.

**CONSTITUTION:** A communication system 1 is provided with communication system HDLC control sections 6<sub>1</sub>, 6<sub>2</sub>... connecting communication systems using a plurality of lines connected to a plurality of communication lines 5<sub>1</sub>, 5<sub>2</sub>... via MODEMs 3<sub>1</sub>, 3<sub>2</sub>... and a scheduling control section 10, and a transmission data D<sub>s</sub> is inputted and stored to a first-in/first-out FIFO CUE14 sequentially for storage, and if a transmission waiting CUE12 of the HDLC section 6<sub>1</sub>... corresponding to each line 5<sub>1</sub>... is vacant, the line number is stored in a vacant display latch 18, a gate 15 is opened by it, a transmission data is picked up from a open CUE14 and inputted to a data length detection/share section

16. The data length is measured, the line in use is selected by using a delay time of each line, the data is inputted to the transmission waiting CUE12 in the HDLC control section of the said line via a switching device 17 and transmission is made.

COPYRIGHT: (C)1982,JPO&amp;Japio



## ⑫ 公開特許公報 (A)

昭57-107658

⑤ Int. Cl.<sup>3</sup>  
H 04 L 13/00  
11/00  
// G 06 F 3/04

識別記号

庁内整理番号  
6372-5K  
7230-5K  
7218-5B

⑬ 公開 昭和57年(1982)7月5日

発明の数 1  
審査請求 未請求

(全 5 頁)

## ⑭ 複数回線制御方式

川崎市中原区上小田中1015番地  
富士通株式会社内

⑯ 特 願 昭55-182743  
⑰ 出 願 昭55(1980)12月25日  
⑱ 発 明 者 是友春樹

⑲ 出 願 人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑳ 代 理 人 弁理士 青木朗 外 3 名

## 明 細 書

## 1. 発明の名称

複数回線制御方式

## 2. 特許請求の範囲

1. 複数の通信回線が並列に接続された通信システムにおける複数回線制御方式において、各通信回線の伝送速度と伝送データのフレーム長から各通信回線の利用率および伝送時間がほぼ等しくなるように使用通信回線を選択することを特徴とする複数回線制御方式。

## 3. 発明の詳細な説明

本発明は、複数の通信回線が並列に接続された通信システムにおいてデータの伝送スケジュールを最適化するための複数回線制御方式に関する。

最近、データ伝送等の通信システムにおいて第1図に示すように例えば各通信システム1, 2間をモデム3<sub>1</sub>, 3<sub>2</sub>, 3<sub>3</sub>, …… , 4<sub>1</sub>, 4<sub>2</sub>, 4<sub>3</sub>, …… を介して、複数の通信回線5<sub>1</sub>, 5<sub>2</sub>, 5<sub>3</sub>, …… で接続することが行なわれている。これは、各通信

システム間を複数回線で接続することによって次のような利点があるからである。第1に、例えば伝送速度が48 Kbps (キロビット/秒) の回線を1回線用いるよりも9.6 Kbps の回線を5回線用いる方が回線コストが安いような場合は複数回線を用いる方が有利になる。第2に、利用できる回線の最大速度が48 Kbps である場合に、データを伝送速度9.6 Kbps で伝送したいときは48 Kbps の回線を2本使用することによって所望の性能を得ることができる。また、第3に、複数回線を接続しておけばその内の1本が障害により伝送不能になった場合でも他の回線を用いて通信ができるから、通信システムの信頼性が向上する。

従来、このような複数回線を用いて各通信システム間を接続する通信方式として HDLC (High Level Data Link Control Procedure) と称する伝送制御手順を用いたものが ISO のマルチリンク方式あるいは CCITT の X-75 種方式として標準化されている。このような HDLC を用いた通信系統は例えば第2図に示すように、各々

の通信システム1および2に、各回線に対応して設けられたHDL C制御部6<sub>1</sub>、6<sub>2</sub>、6<sub>3</sub>および7<sub>1</sub>、7<sub>2</sub>、7<sub>3</sub>と、それぞれHDL C制御部6<sub>1</sub>、6<sub>2</sub>、6<sub>3</sub>および7<sub>1</sub>、7<sub>2</sub>、7<sub>3</sub>に対応して設けられたスケジューリング制御部8および9を具備する。各々のHDL C制御部は対応する通信回線に関する伝送制御を行なうもので、例えばデータ誤りの検出あるいはデータ誤りがあったときの再送等を行なう。また、スケジューリング制御部8、9は例えば各回線への伝送データの振り分け等を行なうものである。

このような通信システムにおけるスケジューリング制御は、各回線の伝送速度や伝送遅延がほぼ同じであるという前提のもとで、例えばスケジューリング制御部が送信データを順番に各HDL C制御部に振り分けるか、あるいはHDL C制御部内の送信待ちキュー（バッファ・メモリ）が空になるとHDL C制御部からスケジューリング制御部に送信データを要求する等の方式によって行なわれていた。

る回線ごとに別々にスケジューリング制御を行なう方式も行なわれていたが、スケジューリングを別々に行なうと、各スケジューリング制御部8<sub>1</sub>、8<sub>2</sub>等に入力するデータのスケジューリングを外部で行なう必要があるという不都合があった。例えば、上述の通信システムを用いるアプリケーション・プログラム等で該スケジューリングを行なう場合は、アプリケーション・プログラムを作成する際に該通信システム内でどのような回線が用いられているかを意識して作る必要があるためアプリケーション・プログラムがきわめて煩雑になる。

本発明の目的は、前述の従来形における問題点にかんがみ、複数の通信回線が並列に接続された通信システムにおける複数回線制御方式において、各通信回線の伝送速度と伝送データのフレーム長を考慮して使用回線を選択するという構成にもとづき、通信システム全体の伝送性能を低下させることなく伝送スケジューリングを最適化することにある。また、本発明の他の目的は、伝送スケジューリングをスケジューリング制御部の外部で考

しかしながら、前記従来形においては、伝送速度等の異なる複数回線が用いられた場合に、例えばフレーム長の長いデータが伝送速度の遅い回線で送られかつフレーム長の短いデータが伝送速度の早い回線で送られた場合は受信側でデータの順序が入れかわるという不都合があり、また、このようにデータの順序が入れかわった場合には、受信側でデータの順序をもと通りに正すために遅いデータの到着を待ってから順序通り出力されるため、もしフレーム長の長いデータが伝送速度の遅い回線に振り分けられると通信システム全体のスループット（伝送性能）が非常に低くなるという不都合があった。

このような不都合を避くために従来、別の方式として、各通信回線に伝送速度や伝送遅延が大幅に異なるものが混在している場合は、第3図に示すように、伝送速度が例えば4800 bps の回線5<sub>1</sub>、5<sub>2</sub>と伝送速度が例えば1200 bps の回線5<sub>3</sub>、5<sub>4</sub>に対して別々のスケジューリング制御部6<sub>1</sub>、6<sub>2</sub>および9<sub>1</sub>、9<sub>2</sub>を設け、伝送速度の異な

るする必要をなくし、アプリケーション・プログラム等の作成時の無駄な手数を省くことにある。

本発明は、複数の通信回線が並列に接続された通信システムにおける複数回線制御方式において、各通信回線の伝送速度と伝送データのフレーム長から各通信回線の利用率および伝送時間がほぼ等しくなるように使用通信回線を選択することを特徴とする。

以下図面を用いて本発明の実施例を説明する。

第4図は、本発明に係る方式を実施するための通信システム1の構成例を示す。同図において、通信システム1は、それぞれモデム3<sub>1</sub>、3<sub>2</sub>、……を介して複数の通信回線5<sub>1</sub>、5<sub>2</sub>、……に接続されたHDL C制御部6<sub>1</sub>、6<sub>2</sub>、……およびスケジューリング制御部10を具備する。同図の通信システム1においては各通信回線5<sub>1</sub>、5<sub>2</sub>、……の伝送速度が互に異なっているにも1つのスケジューリング制御部10によって伝送スケジューリングが行なわれる。各々のHDL C制御部6<sub>1</sub>、6<sub>2</sub>、……はそれぞれ送信データを一時記憶する送信待ちキ

キュー12および送信したデータにエラーがあった場合の再送のために送信済みのデータを一時記憶する記憶待ちキュー13等を具備する。また、スケジューリング制御部10は、送信データ $D_8$ を一時記憶するファーストイン・ファーストアウト・キュー（以下FIFOキューと称する）14、ゲート回路15、データ長検出/振り分け部16、回線の選択のための切替器17および各回線の送信待ちキュー12の空状態を記憶する空表示ラッチ18を具備する。

第4図のシステムの動作を説明する。送信データ $D_8$ は順次FIFOキュー14に入力されて一時記憶される。各回線5<sub>1</sub>, 5<sub>2</sub>, ... に対応するHDL C制御部6<sub>1</sub>, 6<sub>2</sub>, ... の送信待ちキュー12に空き（余裕）があれば、空表示ラッチ18に空きのあることおよび空きのある回線番号が記憶されている。空表示ラッチ18に送信待ちキュー12の空きがあることが記憶されることによってゲート回路15が開かれ、FIFOキュー14から入力順に送信データが1つずつ取り出されてデータ

検出/振り分け部16に導入される。データ検出/振り分け部16においては、導入されたデータの長さすなわちフレーム長を測定し、測定されたデータ長と該データ検出/振り分け部16内にパラメータとして記憶している各回線5<sub>1</sub>, 5<sub>2</sub>, ... の遅延時間とから次のようにして使用回線を選択する。

使用回線の選択は、各回線の利用率およびデータの伝送時間かばばやしくなるように行なわれ、フレーム長の長いデータは高速回線で、フレーム長の短いデータは低速回線で送るようになされる。さらに具体的に説明する。通信システム1に列えば次の5回線が接続されているものとする。

回線1	48 Kbps	衛星回線（遅延500ms）
回線2	48 Kbps	地上回線（遅延0ms）
回線3	9600 bps	地上回線（遅延0ms）
回線4	9600 bps	地上回線（遅延0ms）
回線5	1200 bps	地上回線（遅延0ms）

これらの各回線を用いた場合のデータ長に対するデータの伝送時間の関係は第5図に示すようになる。

る。本発明においては各データの伝送時間が原則として所定値 $T$ をこえないようにされる。したがって、第5図本線に示すように、

$D_1 \leq \text{データ長} \leq D_2$  のデータは1200 bps,

$D_2 \leq \text{データ長} \leq D_3$  のデータは9600 bps,

$D_3 \leq \text{データ長} \leq D_4$  のデータは48 Kbps（衛星）,

$D_4 \leq \text{データ長} \leq D_5$  のデータは48 Kbps（地上）

のようにデータ長に応じて使用回線が選択される。

また、このように使用回線を選択することによってデータの伝送時間もほぼ一定になる。

データ長検出/振り分け部16は上述のようにしてデータ長と伝送時間および遅延時間から各入力データに最適な回線を選択し、切替器17を介して該回線のHDL C制御部内の送信待ちキュー12に入力する。この場合、切替器17はデータ検出/振り分け部16によって選択された回線のHDL C制御部内の送信待ちキュー12に余裕があれば該入力データをそのまま該送信待ちキュー12に入力する。もしその回線の送信待ちキュー12に余裕がなければ2番目に最適な回線の送

信待ちキュー12の空きを調べてデータを入力する。このため、空表示ラッチ18には常に各回線の送信待ちキュー12から該送信待ちキュー12の空状態を示す情報が入力されており、切替器17は空表示ラッチ18の内容を参照して上述の動作を行なう。

このように、本発明によれば、伝送データのデータ長と各通信回線の伝送速度および伝送遅延時間を考慮して、各通信回線の利用率および伝送時間がほぼ一定になるように使用回線を選択するから、互に伝送時間の異なる複数の通信回線を用いた場合にも、通信システム全体の伝送性能を低下させることなく伝送スケジューリングを最適化することができる。また、本発明によれば、伝送スケジューリングはすべて1つのスケジューリング制御部において行なわれるから、アプリケーション・プログラム等の作成時に伝送スケジューリングを考慮する必要がなく無駄な手数を省くことができる。

#### 4. 図面の簡単な説明

第1図は、複数回線を用いる通信システムの一  
般的構成を示す概略的ブロック回路図、

第2図は、従来形のHDLCを用いた通信シ  
ステムを示す概略的ブロック回路図、

第3図は、伝送速度の異なる通信回線を用いた  
従来形の通信システムを示す概略的ブロック回路  
図、

第4図は、本発明の方式を実施するための通信  
システムの構成例を示すブロック回路図、そして

第5図は、第4図の通信システムにおける伝送  
スケジューリング方式を説明するためのグラフで  
ある。

- 1, 2 : 通信システム,  
3<sub>1</sub>, 3<sub>2</sub>, 3<sub>3</sub>, ..., 4<sub>1</sub>, 4<sub>2</sub>, 4<sub>3</sub>, ... : モデム,  
5<sub>1</sub>, 5<sub>2</sub>, 5<sub>3</sub>, ... : 通信回線,  
6<sub>1</sub>, 6<sub>2</sub>, 6<sub>3</sub>, 6<sub>4</sub>, 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>, 7<sub>4</sub> : HDLC制御部,  
8, 8<sub>1</sub>, 8<sub>2</sub>, 9, 9<sub>1</sub>, 9<sub>2</sub>, 10 : スケジューリング制御部,  
12 : 送信待ちキュー,  
13 : 応答待ちキュー,  
14 : ファーストイン・ファーストアウト・キュー、

- 15 : ゲート回路,  
16 : データ長検出/振り分け部,  
17 : 切替器,  
18 : 空表示ラッチ。

特許出願人

富士通株式会社

特許出願代理人

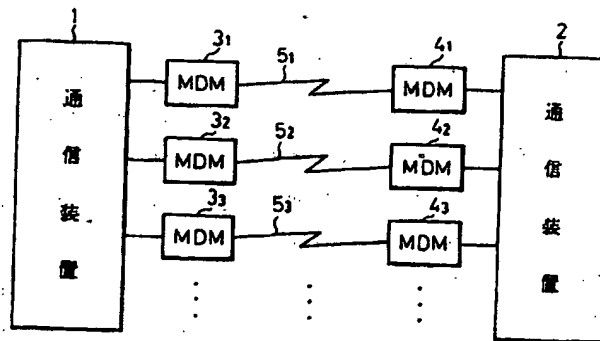
弁理士 青 木 剛

弁理士 西 島 和 之

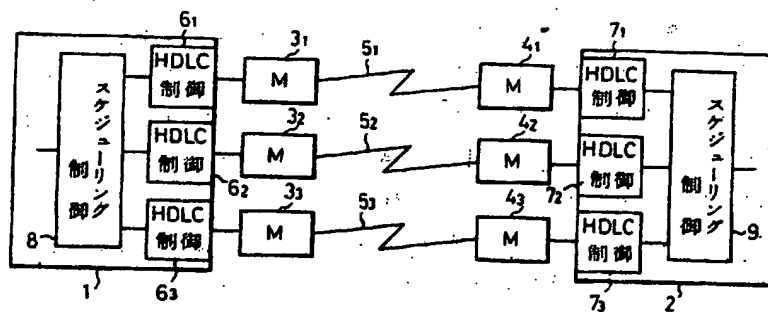
弁理士 内 田 幸 男

弁理士 山 口 昭 之

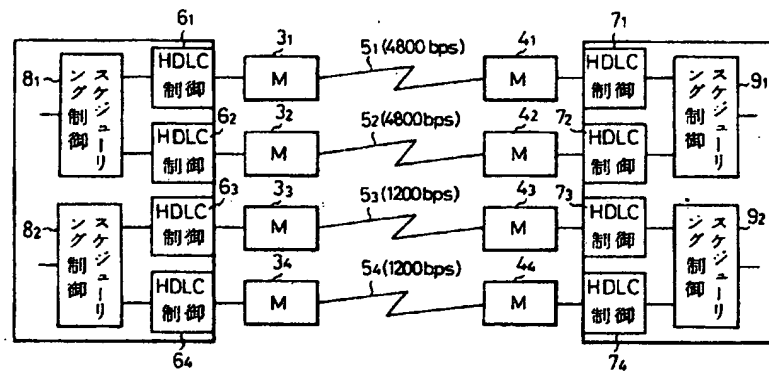
第 1 図



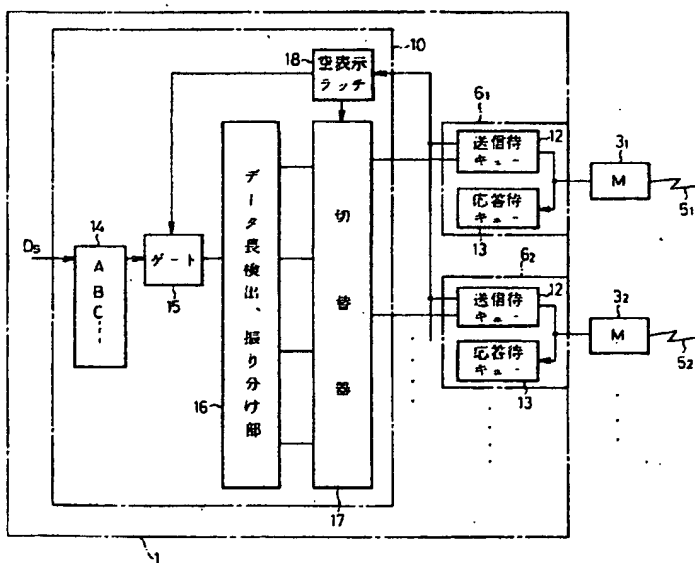
第 2 図



第 3 図



第 4 図



第 5 図

